

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
11. Januar 2001 (11.01.2001)

PCT

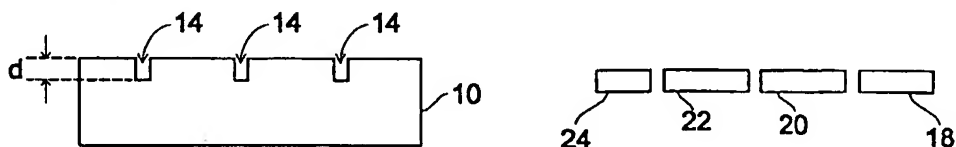
(10) Internationale Veröffentlichungsnummer  
**WO 01/03180 A1**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/782**,  
21/68
- (21) Internationales Aktenzeichen: **PCT/EP00/05772**
- (22) Internationales Anmeldedatum:  
21. Juni 2000 (21.06.2000)
- (25) Einreichungssprache: **Deutsch**
- (26) Veröffentlichungssprache: **Deutsch**
- (30) Angaben zur Priorität:  
99112540.2 1. Juli 1999 (01.07.1999) EP  
199 62 763.0 23. Dezember 1999 (23.12.1999) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E. V.** [DE/DE]; Leonrodstrasse 54, D-80636 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **FEIL, Michael** [DE/DE]; Tessiner Strasse 51, D-81475 München (DE). **LANDESBERGER, Christof** [DE/DE]; Oswald-Bieber-Weg 7, D-81241 München (DE). **KLUMPP, Armin** [DE/DE]; Ringseisstrasse 12/4, D-80337 München (DE). **HACKER, Erwin** [DE/DE]; Meister-Jörg-Strasse 11, D-87600 Kaufbeuren (DE).
- (74) Anwälte: **SCHOPPE, Fritz** usw.; Schoppe, Zimmermann & Stöckeler, Postfach 71 08 67, D-81458 München (DE).
- (81) Bestimmungsstaat (national): **US.**
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- Veröffentlicht:  
— Mit internationalem Recherchenbericht.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD OF SUBDIVIDING A WAFER

(54) Bezeichnung: VERFAHREN ZUM VEREINZELN EINES WAFERS



(57) Abstract: The invention relates to a method of subdividing a wafer (10) which comprises a plurality of individual circuit structures (12a, 12b). A trench (14) is defined between at least two circuit structures (12a, 12b) on one face of the wafer. Said trench is then deepened down to a defined depth. A releasable intermediate support is fixed on the one face of the wafer. Said releasable intermediate support consists of a fixed intermediate support substrate and an adhesive medium that is applied on said intermediate support substrate and that can be specifically modified in terms of its adhesive strength. The wafer is then dry-etched from the opposite face so that circuit chips are obtained that are linked with one another only via the intermediate support. Said circuit chips are subsequently removed from the intermediate support. The inventive method substantially reduces mechanical damages that might occur when the circuit chips are detached, thereby allowing the production of circuit chips with a thickness of less than 50 µm that are mechanically substantially undamaged.

(57) Zusammenfassung: Bei einem Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von einzelnen Schaltungsstrukturen (12a, 12b) aufweist, wird zunächst ein Graben (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers definiert. Anschliessend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger, der aus einem festen Zwischenträgersubstrat und einem auf diesem aufgebracht, in seiner Haftkraft gezielt veränderbaren Haftmedium besteht, an der einen Seite des Wafers befestigt, um dann den Wafer von der anderen Seite aus trocken zuätzen, so dass Schaltungschips erhalten werden, die nur noch über den Zwischenträger miteinander verbunden sind. Anschliessend werden die Schaltungschips von dem Zwischenträger entfernt. Durch dieses Verfahren werden mechanische Beeinträchtigungen beim Vereinzeln der Schaltungschips wesentlich reduziert, was zum einen die Herstellung von unter 50 µm dicken Schaltungschips ermöglicht, und was zum anderen zu mechanisch im wesentlichen intakten Schaltungschips führt.

WO 01/03180 A1



— Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

## Verfahren zum Vereinzeln eines Wafers

### Beschreibung

Die vorliegende Erfindung bezieht sich auf die Herstellung von integrierten Schaltungen und insbesondere auf ein Verfahren zum Vereinzeln eines Wafers, der eine Mehrzahl von einzelnen Schaltungsstrukturen aufweist, um sehr dünne Schaltungschips zu erhalten.

In letzter Zeit entsteht immer mehr der Bedarf nach dünnen Chips einerseits und nach hoher Flexibilität andererseits, um elektronische Schaltungschips in einer Vielzahl von Anwendungen einzusetzen. Die Forderung nach dünnen Schaltungschips ergibt sich einerseits aus immer komplexeren elektronischen Systemen, die aus einzelnen fertig prozessierten und von verschiedenen Herstellern verfügbaren Chips zusammengesetzt sein sollen, und die gleichzeitig auch für Hochfrequenz-Anwendungen tauglich sein sollen und zudem wenig Platz einnehmen sollen. Um den Preis des gesamten Systems gering zu halten, sollen solche Chips bzw. Module mit solchen Chips mittels üblicher preisgünstiger Herstellungsverfahren aufgebaut werden können.

Eine wesentliche Anforderung besteht insbesondere darin, für möglichst viele Anwendungen vorprozessierte Chips, die fertig erworben werden können, einsetzen zu können, um z. B. von einem einzelnen Chiphersteller unabhängig zu sein, oder aber um keine eigenen Chips entwickeln zu müssen, was in vielen Fällen den Preis erhöhen würde, sondern um sich lediglich auf die Verschaltung der einzelnen Chipkomponenten konzentrieren zu können, wenn ein neues System entwickelt wird. So haben Untersuchungen gezeigt, daß beispielsweise bei einfachen Silizium-Schaltungschips bis zu 90% der Wertschöpfung des späteren Produkts im Bereich der Aufbau- und Verbindungstechnik liegen, aber nicht bei der Herstellung des Wafers, aus dem durch Vereinzeln die einzelnen Schal-

tungschips erhalten werden können.

Somit muß auf vorprozessierte Wafer zurückgegriffen werden, um durch Vereinzeln die einzelnen Schaltungschips zu erhalten.

Das U.S.-Patent Nr. 4,722,130 beschreibt ein Verfahren zum Herstellen von Halbleiterchips durch Vereinzeln eines Halbleiterwafers. Hierzu wird ein gitterförmiger Graben in die Vorderseite des Wafers eingebracht, woraufhin eine einseitige Nylon-Klebefolie auf die Vorderseite des Wafers, in der der Graben gebildet ist, aufgebracht wird. Anschließend wird die Rückseite des Trägers abgeschliffen, um den Wafer bis zu einer bestimmten Dicke abzdünnen, wobei die Dicke des abgedünnten Wafers so gewählt ist, daß die einzelnen, durch die Gräben bereits festgelegten Schaltungschips über relativ dünne Verbindungsstege verbunden sind. Um die einzelnen durch Verbindungsstege verbundene Schaltungschips voneinander zu trennen, wird die Nylon-Klebefolie von einer Seite des Wafers aus abgezogen, was bewirkt, daß die Verbindungsstege zwischen den Schaltungschips aufgrund der Zugwirkung beim Abziehen der Klebefolie springen. Wenn die Klebefolie abgezogen ist, hängen die vereinzelt Chips noch auf einer elastischen Trägerfolie auf der gegenüberliegenden Seite des Chips, die vor dem Abziehen der Nylon-Klebefolie angebracht worden ist. Hierauf wird die elastische Klebefolie transversal auseinandergezogen, was bewirkt, daß die Zwischenräume zwischen den Schaltungschips aufgeweitet werden, was ohne weiteres möglich ist, da die Verbindungsstege bereits gesprungen sind. Dann können die einzelnen Schaltungschips abgenommen werden und an Ort und Stelle eingesetzt werden bzw. weiterverwendet werden. Derart produzierte Schaltungschips haben eine Dicke von etwa 160  $\mu\text{m}$ , wobei von einem Standard-GaAs-Wafer ausgegangen wurde, der eine Dicke von 630  $\mu\text{m}$  hatte, bevor er durch Schleifen abgedünnt wurde.

Nachteilig an diesem Verfahren ist, daß keine sehr dünnen und damit auch sehr empfindlichen Chips erzeugt werden kön-

nen. Durch das mechanische Dünnen und durch das mechanische Vereinzeln der Chips durch Brechen der Verbindungsstege besteht die Gefahr, daß die einzelnen Chips mechanisch beschädigt werden bzw. rauhe bzw. sogar eingerissene Kanten haben. Solche Probleme sind bei 160  $\mu\text{m}$  dicken Chips noch nicht sehr einschneidend. Sollen jedoch Chips mit einer Dicke kleiner als 50  $\mu\text{m}$  und insbesondere mit einer Dicke von 20  $\mu\text{m}$  hergestellt werden, können solche Risse aufgrund der mechanischen Rückseitenbearbeitung und des mechanischen Brechens der Erfindungsstege zu hohen Produktionsausfällen führen, da aufgrund der sehr geringen Dicke ohne weiteres aktive Bereiche der Chips beeinträchtigt bzw. sogar zerstört werden können.

Die Aufgabe der vorliegenden Erfindung besteht darin, einerseits ein preisgünstiges und andererseits ein dennoch zuverlässiges Verfahren zum Vereinzeln eines Wafers zu schaffen, um sehr dünnen Schaltchips zu erhalten.

Diese Aufgabe wird durch ein Verfahren nach Patentanspruch 1 gelöst.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß, um sehr dünne Schaltchips zu erhalten, mechanische Effekte beim Vereinzeln des Wafers so weit als möglich eliminiert werden müssen. Damit kann die Gefahr der Schädigung der einzelnen Schaltchips aufgrund mechanischer Effekte stark verringert werden. Bei der Herstellung von sehr dünnen Schaltchips muß bedacht werden, daß der aktive Bereich eines Schaltchips sich bereits einige Mikrometer in das Halbleitermaterial hinein erstrecken kann. Wenn an dünne Schaltchips mit einer Dicke in der Größenordnung von 20  $\mu\text{m}$  gedacht wird, so verbleiben lediglich weniger als 20  $\mu\text{m}$  als "Trägersubstrat" für den aktiven Bereich des Schaltchips. Erfindungsgemäß wird daher von dem Konzept des mechanischen Vereinzeln abgegangen, das beispielsweise durch Ritzen, Sägen oder Brechen von durch Gräben definierten dünnen Verbindungen, wie es im vorhergehenden ausgeführt worden

ist, erreicht wird, und es wird eine Vereinzelung mittels Trockenätzen von der Waferrückseite durchgeführt.

Erfindungsgemäß wird ein Wafer, der eine Mehrzahl von Schaltungsstrukturen aufweist, derart vereinzelt, daß zunächst ein Graben zwischen zumindest zwei Schaltungsstrukturen definiert wird. Anschließend wird der Graben bis zu einer bestimmten Tiefe ausgeführt. Hierauf wird ein wieder lösbarer Zwischenträger auf der Seite des Wafers befestigt, in der der Graben ausgeführt ist. Dann wird der Wafer von der anderen Seite aus einer Trockenätzung unterzogen, bis die Gräben freigelegt sind. Dadurch ist eine Vereinzelung erreicht, bei der keine mechanischen Belastungen auf die Schaltungschips ausgeübt worden ist.

Wenn, wie es besonders bevorzugt wird, auch der Graben nicht mechanisch sondern ebenfalls durch Trockenätzen gebildet wird, so wird bei der gesamten Vereinzelung des Wafers überhaupt keine mechanische Belastung auf die einzelnen Schaltungschips ausgeübt. Dies führt dazu, daß auch sehr dünne Schaltungschips erzeugt werden können, ohne daß der Ausschuß besonders ansteigt.

Gemäß einem bevorzugten Ausführungsbeispiel wird der Wafer vor dem Trockenätzen der Rückseite beispielsweise mittels naßchemischem Ätzen oder Schleifen vorgedünnt, wobei das Vordünnen mittels mechanischer Mittel lediglich soweit ausgeführt wird, daß nahezu ausgeschlossen werden kann, daß bereits eine mechanische Beeinträchtigung des Materials aufgetreten ist, das schließlich die Schaltungschips bildet.

Als Zwischenträger wird vorzugsweise eine zweiseitige Haftfolie verwendet, deren eine Seite an einem Wafersubstrat klebt, und deren andere Seite mit dem zu vereinzelnenden Wafer verbunden ist und eine variable Haftkraft hat, so daß nach dem Trockenätzen lediglich beispielsweise durch Erwärmen oder durch Bestrahlen mit UV-Strahlung die Haftkraft dieser Seite der Klebefolie derart verringert werden kann, daß die

vereinzelten Schaltungschips ohne weiteres gelöst werden können, um weiterverarbeitet zu werden.

Selbst wenn der Graben durch schonende mechanische Verarbeitungsverfahren ausgeführt wird, kann bereits aufgrund des Trockenätzens von der Rückseite aus, um den Wafer zu vereinzeln, eine Mehrzahl von Schaltungschips mit relativ geringer Ausschußrate erzeugt werden. Solche Schaltungschips können eine Dicke haben, die kleiner als  $50\text{ }\mu\text{m}$  ist und insbesondere bei  $20\text{ }\mu\text{m}$  liegt und sogar auf bis zu  $5\text{ }\mu\text{m}$  reduziert werden kann.

Wenn jedoch, wie es bevorzugt wird, auch der Graben durch Trockenätzen, also sehr materialschonend, erzeugt wird, so ergeben sich noch einige weitere Vorteile, indem überhaupt keine mechanischen Belastungen auf die Bereiche des Wafers ausgeübt werden, die schließlich die dünnen Schaltungschips ergeben.

Generell ist das Ausführen des Grabens unter Verwendung einer Maske für das Ätzen aufgrund der Tatsache, daß der Graben nicht besonders tief zu sein braucht, da die Chips sehr dünn sind, relativ schnell, so daß im Vergleich zum Sägen eines Wafers, das insbesondere bei kleinen Chips und Scheiben mit einem Durchmesser von 20 bis 30 cm bis zu mehrere Stunden dauern kann, eine wesentliche Durchsatzserhöhung erreichbar ist. Darüberhinaus passen ebenfalls im Vergleich zum Sägen insbesondere bei kleinen Chips wesentlich mehr Chips auf einen Wafer, da Sägegräben im allgemeinen eine Dicke von etwa  $100\text{ }\mu\text{m}$  haben, während für trockenengeätzte Gräben bis zu der angestrebten Tiefe, die in etwa der Dicke der Schaltungschips entsprechen wird, lediglich  $10\text{ }\mu\text{m}$  benötigt werden. Insbesondere bei kleinen Chips kann die Chipanzahl pro Wafer um bis zu 10 bis 15% gesteigert werden.

Die Chips sind aufgrund der Ätzbehandlung zumindest ihrer Rückseite und vorzugsweise auch ihrer Seitenkanten mechanisch integer, was besonders dann wichtig ist, wenn die

Chips gebogen werden müssen, wie es beispielsweise der Fall sein kann, wenn sie in elektronischen Etiketten eingesetzt werden müssen.

Schließlich sind insbesondere durch Trockenätzen des Grabens beliebige Chipformen möglich, also nicht nur rechteckige Formen, wie es beim Sägen der Fall ist, was besonders für Leistungshalbleiter entscheidend sein kann, da Chipecken eliminiert werden können, welche ansonsten sehr hohe elektrische Felder erzeugen. Schließlich kann auch die Lage der Chips von hinten eindeutig identifiziert werden, was z. B. beim Die-Bonden und beim Erkennen von guten und schlechten Chips von großem Vorteil sein wird.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen detailliert erläutert. Es zeigen:

- Fig. 1 eine Draufsicht auf einen Wafer mit einer Mehrzahl von Schaltungschips, in dem ein Graben definiert ist;
- Fig. 2 eine Querschnittsansicht des Wafers von Fig. 1, in dem der Graben ausgeführt ist;
- Fig. 3 eine Ansicht des Wafers von Fig. 2, der an einem Zwischenträger befestigt ist;
- Fig. 4 eine Ansicht des Wafers von Fig. 3 nach dem Dünnen des Wafers unter Verwendung eines Trockenätzverfahrens; und
- Fig. 5 die einzelnen Schaltungschips, nachdem sie vom Zwischenträger entfernt worden sind.

Fig. 1 zeigt eine Draufsicht auf einen Ausschnitt eines Wafers 10, der eine Mehrzahl von fertig prozessierten einzelnen Schaltungsstrukturen 12a, 12b aufweist. Auf dem Wafer 10



ist bereits ein Graben 14 definiert. Das Definieren des Grabens kann beispielsweise im Falle des mechanischen Erzeugens des Grabens 14 durch Eingeben der Koordinaten für eine Säge- oder eine Ritzeinrichtung stattfinden. Im Falle des Erzeugens des Grabens 14 unter Verwendung eines Trockenätzverfahrens wird der Graben durch Aufbringen einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung gebildet. Alternativ kann die Ätzmaske, die den Graben 14 definiert, auch als  $\text{SiO}_2$ -Maske ausgeführt sein. Zusammenfassend können sämtliche Verfahren zum Bilden einer Ätzmaske eingesetzt werden, um den Graben 14 zu definieren.

Fig. 2 zeigt eine Querschnittsdarstellung entlang der Linie A-A von Fig. 1 durch den Wafer 10, nachdem der Graben 14 bis zu einer bestimmten Tiefe d ausgeführt ist. Die vorbestimmte Dicke wird zumindest gleich der Zieldicke des herzustellenden Schaltungschips gewählt, so daß die Schaltungschips später ohne mechanische Einwirkungen vereinzelt werden können.

Wird beispielsweise der Prozeß mit Polymerabscheidung eingesetzt, so kann als Ätzgas  $\text{SF}_6$  und als Polymerschutz  $\text{CHF}_3$  und  $\text{C}_2\text{F}_6$  eingesetzt werden. Nähere Einzelheiten zu diesem Verfahren sind in der DE 4241045 offenbart.

Wird ein Prozeß mit einer  $\text{SiO}_2$ -Maske eingesetzt, so kann als Ätzgas ein Gemisch aus  $\text{HBr}$ ,  $\text{Cl}_2$ ,  $\text{O}_2$  und  $\text{He}$  eingesetzt werden. Darüberhinaus können sämtliche anderen bekannten Trockenätzverfahren eingesetzt werden. Das Trockenätzen allgemein hat den wesentlichen Vorteil, daß die Ränder der Schaltungschips im Gegensatz zu einer mechanischen Ausführung des Grabens nicht mechanisch beansprucht werden und somit stabil sind.

Fig. 3 zeigt den mit dem Graben 14 versehenen Schaltungschip 10, nachdem er an einem Zwischenträger befestigt ist, der sich aus einem Substratwafer 16a und aus einem Haftmedium 16b zusammensetzen kann. Als Haftmedium 16b wird vorzugsweise eine beidseitig haftende Klebefolie eingesetzt, deren

eine Seite eine spezielle Beschichtung hat, die nach Erwärmung auf beispielsweise 90 bis 140°C ihre Haftkraft verliert. Die andere Seite hat dabei keine variierende Haftkraft. Die Trägerfolie wird derart angebracht, daß die Seite mit der nicht-variierenden Haftkraft mit dem Waferträger 16a verbunden ist, während die Seite mit variierender Haftkraft mit dem Halbleiterwafer 10 verbunden wird, wie es in Fig. 3 gezeigt ist. Eine wesentliche Eigenschaft des Zwischenträgers 16a, 16b besteht darin, daß die Klebeverbindung mit dem Wafer 10 wieder gelöst werden kann. Ferner ist eine vollflächige lunkerfreie Verbindung von Vorteil.

Alternative Materialien für das Haftmedium 16b sind Thermoplastmaterialien oder Klebefolien, deren Haftkraft nicht durch Wärme, sondern durch UV-Licht variierbar ist. Falls UV-lichtempfindliche Folien eingesetzt werden, so muß das Trägersubstrat 16a transparent sein. In diesem Falle kann als Trägersubstrat ein Glaswafer zum Einsatz kommen.

Nach dem Aufkleben des Wafers 10 an dem Zwischenträger 16a, 16b wird der Wafer, wie es in Fig. 4 gezeigt ist, von der Rückseite her gedünnt. Falls der Ausgangswafer 10 bereits relativ dünn ist, so dürfte es ausreichend sein, daß lediglich ein Trockenätzverfahren eingesetzt wird, um die einzelnen Schaltungschips voneinander zu trennen, d. h. um die Rückseite mindestens bis zum Graben zu entfernen. Liegt jedoch ein dicker Wafer beispielsweise mit einer Dicke von 700 µm vor, was für käufliche Wafer ein typischer Wert ist, so wird es bevorzugt, vor dem abschließenden Trockenätzschritt zum Vereinzeln der Schaltungschips ein schnelleres Verfahren einzusetzen, wie z. B. mechanisches Schleifen, Naßätzen oder ähnliches. Ein Verfahren, das sich als vorteilhaft herausgestellt hat, ist das sogenannten Spin-Ätzen. Hier liegt der Wafer auf einem rotierenden Teller, während von oben das Ätzmedium auf die Scheibe fließt und von dort abgeschleudert wird.

Ist der Wafer dann auf eine vorbestimmte Dicke vorgedünnt,

so verbleibt der letzte Schritt des Vereinzelns dem Trockenätzverfahren. Hierzu wird es bevorzugt, das Ätzgasgemisch  $\text{Cl}_2$  und  $\text{CF}_4$  oder als alleiniges Ätzgas  $\text{SF}_6$  einzusetzen. Es sei angemerkt, daß generell zum Ätzen von Silizium eine Chlor- und Fluor-Chemie gut geeignet ist. Das Ätzgas  $\text{NF}_3$  ist ebenfalls sehr wirksam, hat jedoch derzeit noch einen relativ hohen Preis und wird daher derzeit weniger bevorzugt.

Wie es in Fig. 4 gezeigt ist, sind nun einzelne Schaltungschips 18, 20, 22 und 24 entstanden, welche nicht mehr miteinander in Verbindung stehen sondern lediglich durch das Haftmedium 16b gehalten werden. Im Falle einer Verwendung der zweiseitig klebende Folie mit einer Seite mit variabler Haftkraft können die einzelnen Schaltungschips 18, 20, 22, 24 nun ohne weiteres durch Verändern der Haftkraft entfernt werden, um dann, wie es in Fig. 5 gezeigt ist, völlig unabhängig voneinander vorzuliegen, um dann von einer Bestückungsmaschine oder einer ähnlichen Vorrichtung aufgenommen zu werden, um an ihrem letztendlichen Bestimmungsort untergebracht zu werden.

Es sei darauf hingewiesen, daß dieses Verfahren nicht nur für Siliziumwafer geeignet ist, sondern auch für GaAs-Wafer, welche aufgrund ihrer Sprödigkeit mechanisch besonders anfällig sind, sowie für andere III-V-Halbleiter. Selbstverständlich werden für andere Halbleitermaterialien als Silizium auch andere Ätzgase als die genannten eingesetzt.

Die vereinzelt dünnen Schaltungschips 18, 20, 22, 24 können in elektronischen Bauteilen und Systemen eingesetzt werden, welche einen extrem geringen Volumenbedarf erfordern, wie z. B. in mobilen Telekommunikationssystemen oder in medizinischen Überwachungs- und Hilfssystemen, wie Hörgeräten, Herzschrittmachern, am Körper getragenen Überwachungs- und Diagnosegeräten, usw.

Andere Einsatzmöglichkeiten sind elektronische Bauteile, welche für eine elektrische Signalübertragung optimiert

sind, wie z. B. Hochfrequenzbauelemente.

Schließlich können die erfindungsgemäß vereinzelt dünnen Schaltungschips zu Schaltungsmodulen kombiniert werden, welche Einzelkomponenten aus unterschiedlichen Grundmaterialien umfassen, oder bei denen Chips aus unterschiedlichen Fertigungstechnologien zusammengesetzt sind. Superdünne Schaltungschips können besonders bei Systemen aus Speicher-Chips, Logik-Chips, Sensorbauelementen, Chipkarten-Chips, Leistungsbauelementen oder Hochfrequenzübertragungschips (Transponder) zum Einsatz kommen.

Erfindungsgemäß erzeugte dünne Schaltungschips tragen aufgrund ihrer sehr geringen Dünne nur als dünner Film zum gesamten Bauelementevolumen bei. Ein komplettes Chipsystem, das beispielsweise aus einem normalen Chip und einem superdünnen Chip besteht, ist letztendlich nicht wesentlich größer als ein üblicher integrierter Schaltkreis.

Aufgrund der geringen Dicke der vereinzelt Schaltungschips können nun auch Oberflächenbearbeitungstechniken zur Kontaktierung und Verdrahtung einzelner Chips in einem Multi-Chip-Modul unter Verwendung üblicher Techniken eingesetzt werden, die plane bzw. nahezu plane Oberflächen erfordern.

Schließlich können mit dem erfindungsgemäßen Verfahren nicht nur speziell hergestellte bzw. vorbearbeitete Schaltungswafer vereinzelt werden, sondern sämtliche Wafer, welche fertigprozessiert von beliebigen Herstellern erworben werden können.

Patentansprüche

1. Verfahren zum Vereinzeln eines Wafers (10), der eine Mehrzahl von Schaltungsstrukturen (12a, 12b) aufweist, mit folgenden Schritten:

Definieren eines Grabens (14) zwischen zumindest zwei Schaltungsstrukturen (12a, 12b) auf einer Seite des Wafers (10);

Ausführen des Grabens (14) bis zu einer bestimmten Tiefe (d);

Befestigen eines wieder lösbaren Zwischenträgers (16a, 16b), der aus einem festen Zwischenträgersubstrat und einem auf diesem aufgebrachten, in seiner Haftkraft gezielt veränderbaren Haftmedium besteht, an der einen Seite des Wafers (10);

Trockenätzen des an dem Zwischenträger (16a, 16b) befestigten Wafer von der anderen Seite aus, um Schaltungschips (18, 20, 22, 24) zu erhalten, die durch den Zwischenträger (16a, 16b) gehalten werden; und

Entfernen der Schaltungschips (18, 20, 22, 24) von dem Zwischenträger (16a, 16b) durch Reduktion der Haftkraft des Haftmediums.

2. Verfahren nach Anspruch 1, bei dem der Schritt des Ausführens des Grabens (14) das Trockenätzen der Seite des Wafers, auf der der Graben definiert ist, aufweist.
3. Verfahren nach Anspruch 1 oder 2, bei dem der Schritt des Trockenätzens der anderen Seite des Wafers (10) so lange ausgeführt wird, bis die Schaltungschips eine Dicke haben, die kleiner als 50  $\mu\text{m}$  ist und vorzugsweise 20  $\mu\text{m}$  beträgt.

4. Verfahren nach Anspruch 1 oder 2,

bei dem das Ausführen des Grabens derart durchgeführt wird, daß eine vorbestimmte Tiefe erreicht ist, die gleich einer Ziel-Chipdicke ist; und

bei dem der Schritt des Trockenätzens der anderen Seite des Wafers so lange ausgeführt wird, bis der Graben im wesentlichen erreicht ist.

5. Verfahren nach einem der vorhergehenden Ansprüche,

bei dem vor dem Schritt des Trockenätzens der anderen Seite des Wafers (10) ein Schritt des Vordünnens ausgeführt wird, derart, daß die Schaltungschips noch über den Graben (14) hinweg miteinander verbunden sind und die Dicke dieser Verbindung einen bestimmten Wert hat.

6. Verfahren nach Anspruch 5, bei dem der Schritt des Vordünnens das Schleifen, das naßchemische Ätzen oder eine Kombination derselben aufweist.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Schritt des Befestigens an einen Zwischenträger (16a, 16) die Verwendung eines Haftmediums (16b) mit variabler Haftkraft aufweist.

8. Verfahren nach Anspruch 7, bei dem das Haftmedium (16b) eine beidseitig haftende Klebefolie ist, wobei die Seite der Haftfolie, die an der einen Seite befestigt ist, die variable Haftkraft aufweist.

9. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium (16b) derart beschaffen ist, daß die Haftkraft durch Erwärmen reduziert wird; und

bei dem der Schritt des Entferns folgenden Schritt aufweist:

Erwärmen des Zwischenträgers (16a, 16b), bis die Schaltungschips von dem Zwischenträger gelöst werden können.

10. Verfahren nach Anspruch 7 oder 8, bei dem das Haftmedium derart beschaffen ist, daß die Haftkraft durch Bestrahlung mit UV-Licht reduziert wird;

bei dem der Zwischenträger einen Glaswafer (16a) aufweist; und

bei dem der Schritt des Entferns folgenden Schritt aufweist:

Einstrahlen von UV-Licht durch den Glaswafer (16a) auf das Haftmedium (16b), bis die Schaltungschips (18, 20, 22, 24) von dem Zwischenträger gelöst werden können.

11. Verfahren nach einem der Ansprüche 2 bis 9, bei dem im Schritt des Definierens des Grabens ein Graben mit zumindest einem runden Abschnitt definiert wird.
12. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Wafer aus Si, GaAs oder einem anderen III-V-Halbleiter besteht.
13. Verfahren nach einem der Ansprüche 2 bis 12, bei dem der Schritt des Definierens das Aufbringen einer SiO<sub>2</sub>-Maske oder einer Lackmaske mit Seitenwandschutz durch Polymerabscheidung aufweist.

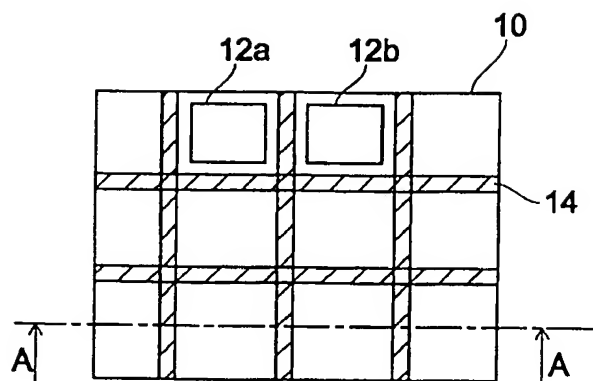


Fig. 1

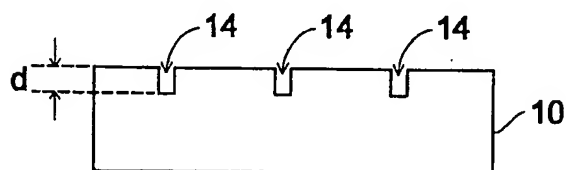


Fig. 2

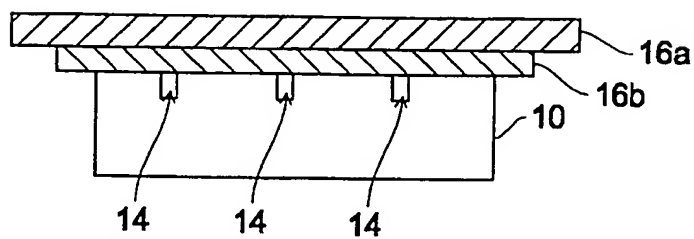


Fig. 3

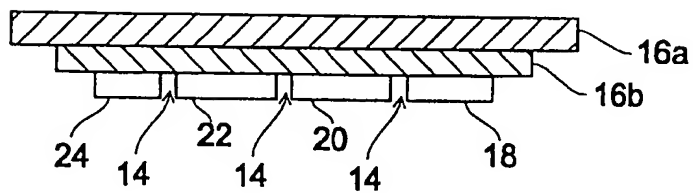


Fig. 4

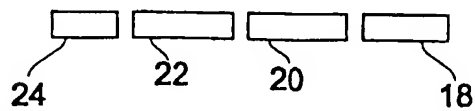


Fig. 5



# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 00/05772

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/782 H01L21/68

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

PAJ, INSPEC

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 071 792 A (VAN VONNO ET AL.) 10 December 1991 (1991-12-10) column 3, line 56 -column 4, line 51; figures 3-6	1,3-7,9, 12
Y	US 5 910 687 A (CHEN ET AL.) 8 June 1999 (1999-06-08) column 9, line 50 -column 10, line 7	1,3-7,9, 12
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9 February 1994 (1994-02-09) & JP 05 291397 A (TOSHIBA CORP), 5 November 1993 (1993-11-05) abstract	8-10

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents:

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*B\* document member of the same patent family

Date of the actual completion of the international search

13 November 2000

Date of mailing of the international search report

21/11/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo.nl,  
Fax: (+31-70) 340-3016

Authorized officer

Gori, P

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 00/05772

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 99 25019 A (IRVINE SENSORS) 20 May 1999 (1999-05-20) page 13, line 11 - line 12; figures ---	1-13
A	US 5 476 566 A (CAVASIN) 19 December 1995 (1995-12-19) claim 1 -----	8-10
BEST AVAILABLE COPY		

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Interr. Application No

PCT/EP 00/05772

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5071792 A	10-12-1991	EP 0537306 A WO 9209098 A US 5185292 A	21-04-1993 29-05-1992 09-02-1993
US 5910687 A	08-06-1999	AU 6251298 A GB 2336034 A WO 9833215 A	18-08-1998 06-10-1999 30-07-1998
JP 05291397 A	05-11-1993	NONE	
WO 9925019 A	20-05-1999	EP 1038315 A	27-09-2000
US 5476566 A	19-12-1995	NONE	

BEST AVAILABLE COPY

# INTERNATIONALER RECHERCHENBERICHT

Intern. Aktenzeichen

PCT/EP 00/05772

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/782 H01L21/68

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, INSPEC

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 071 792 A (VAN VONNO ET AL.) 10. Dezember 1991 (1991-12-10) Spalte 3, Zeile 56 -Spalte 4, Zeile 51; Abbildungen 3-6	1,3-7,9, 12
Y	US 5 910 687 A (CHEN ET AL.) 8. Juni 1999 (1999-06-08) Spalte 9, Zeile 50 -Spalte 10, Zeile 7	1,3-7,9, 12
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 080 (E-1505), 9. Februar 1994 (1994-02-09) & JP 05 291397 A (TOSHIBA CORP), 5. November 1993 (1993-11-05) Zusammenfassung	8-10

-/--



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\* "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\* "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\* "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\* "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\* "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\* "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\* "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\* "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\* "Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. November 2000

Absenddatum des internationalen Recherchenberichts

21/11/2000

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gori, P

# INTERNATIONALER RECHERCHENBERICHT

Intern. Aktenzeichen

PCT/EP 00/05772

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 99 25019 A (IRVINE SENSORS) 20. Mai 1999 (1999-05-20) Seite 13, Zeile 11 - Zeile 12; Abbildungen ---	1-13
A	US 5 476 566 A (CAVASIN) 19. Dezember 1995 (1995-12-19) Anspruch 1 -----	8-10

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung..., die zur selben Patentfamilie gehören

Intern: des Aktenzeichen

PCT/EP 00/05772

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5071792 A	10-12-1991	EP 0537306 A WO 9209098 A US 5185292 A	21-04-1993 29-05-1992 09-02-1993
US 5910687 A	08-06-1999	AU 6251298 A GB 2336034 A WO 9833215 A	18-08-1998 06-10-1999 30-07-1998
JP 05291397 A	05-11-1993	KEINE	
WO 9925019 A	20-05-1999	EP 1038315 A	27-09-2000
US 5476566 A	19-12-1995	KEINE	